

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年12月1日 (01.12.2005)

PCT

(10) 国際公開番号
WO 2005/114625 A1

(51) 国際特許分類: G09G 3/20, 3/28, 5/00

(21) 国際出願番号: PCT/JP2005/009833

(22) 国際出願日: 2005年5月24日 (24.05.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-152805 2004年5月24日 (24.05.2004) JP

(71) 出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1006 番地 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 瓜生朋浩 (URYU, Tomohiro). 川村秀昭 (KAWAMURA, Hideaki).

(74) 代理人: 岩橋文雄, 外 (IWAHASHI, Fumio et al.); 〒5718501 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内 Osaka (JP).

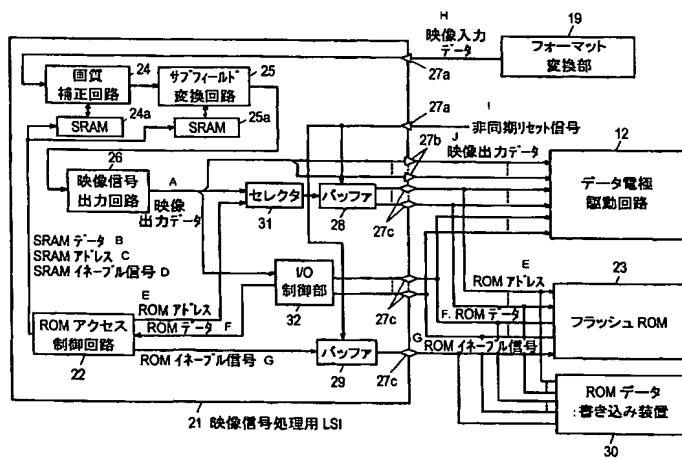
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,

[統葉有]

(54) Title: IMAGE SIGNAL PROCESSING DEVICE

(54) 発明の名称: 画像信号処理装置



24... IMAGE QUALITY CORRECTING CIRCUIT
 25... SUBFIELD CONVERTING CIRCUIT
 26... VIDEO SIGNAL OUTPUTTING CIRCUIT
 A... VIDEO OUTPUT DATA
 31... SELECTOR
 28... BUFFER
 B... SRAM DATA
 C... SRAM ADDRESS
 D... SRAM ENABLE SIGNAL
 22... ROM ACCESS CONTROL CIRCUIT
 E... ROM ADDRESS

F... ROM DATA
 G... ROM ENABLE SIGNAL
 32... IO CONTROL PART
 29... BUFFER
 21... LSI FOR VIDEO SIGNAL PROCESSING
 H... VIDEO INPUT DATA
 19... FORMAT CONVERTING PART
 I... ASYNCHRONOUS RESETTING SIGNAL
 J... VIDEO OUTPUT DATA
 12... DATA ELECTRODE DRIVING CIRCUIT
 23... FLASH ROM
 30... ROM DATA WRITING DEVICE

WO 2005/114625 A1

(57) Abstract: An image signal processing device is provided with an LSI (21) provided with a ROM access control circuit (22) which holds data for controlling operation of a video signal processing part, and a flash ROM (23), which is provided outside the LSI (21), holds control data to be sent to the ROM access control circuit (22) and can control data reading by the ROM access control circuit (22). The data transmitted between the flash ROM (23) and the ROM access control circuit (22) is provided with data required to be updated by field and data not required to be updated by field, and the data is transmitted during a vertical blanking period of the video output data. Thus, required data can be surely transmitted by using the vertical blanking period.

[統葉有]



IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:
— 國際調査報告書

(57) 要約: 映像信号処理部の動作を制御するデータを保持するROMアクセス制御回路(22)とを備えたLSI(21)と、このLSI(21)の外部に設けられかつROMアクセス制御回路(22)に送るための制御データを保持するとともにROMアクセス制御回路(22)によりデータの読み出しが制御可能なフラッシュROM(23)とを有し、フラッシュROM(23)とROMアクセス制御回路(22)との間で転送されるデータは毎フィールド更新しなければならないデータと毎フィールド更新する必要のないデータとを有するとともに、前記映像出力データの垂直プランギング期間にデータを転送する。このような構成により、垂直プランギング期間を利用して必要なデータを確実に転送できる。